

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-114484

(43)Date of publication of application : 21.04.2000

(51)Int.Cl.

H01L 27/108  
H01L 21/8242  
C04B 35/49  
H01B 3/12  
H01L 27/04  
H01L 21/822  
H01L 27/10  
H01L 21/8247  
H01L 29/788  
H01L 29/792

(21)Application number : 10-284566

(71)Applicant : YAMAHA CORP  
AGENCY OF IND SCIENCE & TECHNOL

(22)Date of filing : 06.10.1998

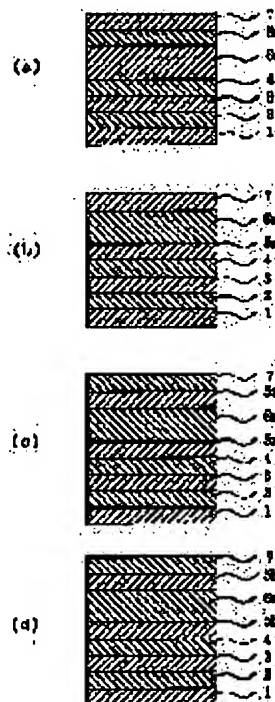
(72)Inventor : HIYAMA KUNIO  
TSUBOI HIDEKI  
OKADA MASUHIRO  
SANADA TOKUO  
IIJIMA TAKASHI

(54) FERROELECTRIC MEMORY

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce a leakage current and also improve resistance to fatigue by forming a buffer layer made of a  $\text{PbO}_3$  layer on the upper or lower surface of a capacitor insulation layer made of  $\text{Pb}(\text{Zr}, \text{Ti}) \text{O}_3$  layer to which Al is added.

SOLUTION: An interlayer insulation film 3 made of  $\text{SiO}_2$  and a second conductive film 4 made of a Pt film are formed on a silicon substrate 1. Further, a capacitor insulation layer 6b made of  $\text{PbZr}_{0.47}\text{Ti}_{0.43}\text{Al}_{0.1}$  and a buffer layer 5a made of  $\text{PbTiAlO}_3$ , and an upper conductive film 7 made of a Pt film are formed in sequence on the second conductive film 4 to form a ferroelectric memory. Since a buffer layer having a composition in which Al is added to  $\text{PbTiO}_3$ , preferably, PTO is formed on an upper or a lower capacitor insulation layer made of PZT ferroelectric material having a composition including Al, a leakage current can be reduced and resistance to fatigue can be improved.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the  
examiner's decision of rejection or application converted]

## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

 CLAIMS
 

---

[Claim(s)]

[Claim 1] Ferroelectric random-access memory characterized by having the capacitor insulating layer which consists of Pb(Zr, Ti) O<sub>3</sub> layer which added aluminum, and the buffer layer which consists of three layer of PbTiO<sub>3</sub>(s) of this Pb(Zr, Ti) O<sub>3</sub> layer top face and an inferior surface of tongue by which the laminating was carried out at least on either.

[Claim 2] Three layer of said PbTiO<sub>3</sub>(s) are the ferroelectric random-access memory according to claim 1 characterized by adding aluminum.

[Claim 3] For the value of 0.3 thru/or 0.7, and z, the value of 0.9 thru/or 1.2, and y is ferroelectric random-access memory according to claim 1 or 2 which said capacitor insulating layer has the presentation of Pb<sub>x</sub>(Zr<sub>1-y</sub>) Ti<sub>y</sub> (1-Z) AlZ, and is characterized by the values of x being 0.005 thru/or 0.3.

[Claim 4] The value of 0.8 thru/or 1.2, and beta is ferroelectric random-access memory according to claim 1 or 2 which said buffer layer has the presentation of Pb<sub>alpha</sub>Ti<sub>(1-beta)</sub> aluminumbetaO<sub>3</sub>, and is characterized by the value of alpha being 0.15 or less.

[Claim 5] Ferroelectric random-access memory given in any 1 term of 1 thru/or 4 characterized by the thickness of said capacitor insulating layer being 50 thru/or 500nm.

[Claim 6] Ferroelectric random-access memory given in any 1 term of 1 thru/or 5 characterized by the thickness of a buffer layer being 0.5 thru/or 30nm.

---

[Translation done.]

## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the ferroelectric random-access memory whose fatigue property leakage current is low and improved especially about the suitable ferroelectric memory for a non-volatile semiconductor device.

[0002]

[Description of the Prior Art] Conventionally, the lead system oxide ferroelectric ingredient and the bismuth layer structure ferroelectric ingredient are used into ferroelectric random-access memory (FeRAM (Ferroelectric Random Access Memory)) as a ferroelectric ingredient used for the ferroelectric film. As an example of the former lead system oxide ferroelectric ingredient, the PZT (Pb(Zr, Ti) O<sub>3</sub>) system ferroelectric ingredient which has the PEBUROSU kite mold crystal structure is mentioned. This PZT system ferroelectric ingredient has the property in which a fatigue property is low, although spontaneous polarization is large. Moreover, if cations, such as La, Nb, or Bi, are added into a PZT system ferroelectric ingredient, while spontaneous polarization and specific inductive capacity will change, it is well-known that the effectiveness that leakage current is reduced is acquired. On the other hand, as an example of the latter bismuth layer structure ferroelectric ingredient, SBT (SrBi<sub>2</sub>Ta 2O<sub>9</sub>) is mentioned. SBT has the property in which spontaneous polarization is small, although the fatigue property is good.

[0003] The fatigue property of a ferroelectric ingredient shows degradation of the spontaneous polarization when repeating much polarization reversal.

[0004] The approach of mitigating fatigue by amelioration of the capacitor electrode when using recently the insulator layer which consists of a PZT system ferroelectric ingredient as a capacitor insulator layer is examined. Although Pt electrode or Ti electrode is generally used for a capacitor electrode, RuO<sub>2</sub> electrode and IrO<sub>2</sub> electrode attract attention in that the fatigue property of the PZT system ferroelectric film is improvable.

[0005] Moreover, the approach of mitigating fatigue by amelioration of the capacitor insulator layer when using the insulator layer which consists of a PZT system ferroelectric ingredient as a capacitor insulator layer is examined. For example, what added Li into the PZT system ferroelectric ingredient, and has improved the fatigue property of the PZT system ferroelectric film is proposed.

[0006] Furthermore, when the insulator layer which consists of a PZT system ferroelectric ingredient is used as a capacitor insulator layer, while making leakage current small by preparing a buffer layer between a capacitor electrode and a capacitor insulator layer, the method of improving a fatigue-proof property is examined. For example, PbTiO<sub>3</sub> or (Ba, Sr) TiO<sub>3</sub> grade is used as a buffer layer, and generating of leakage current and a fatigue-proof property are improved.

[0007]

[Problem(s) to be Solved by the Invention] However, in the above-mentioned ferroelectric random-access memory, there is a trouble that the leakage current from a grain boundary can be large, and a fatigue property cannot be raised remarkably.

[0008] While this invention is made in view of this trouble and making leakage current low, it aims at offering the ferroelectric random-access memory which can raise a fatigue-proof property.

[0009]

[Means for Solving the Problem] The ferroelectric random-access memory concerning this invention is characterized by having the capacitor insulating layer which consists of Pb(Zr, Ti) O<sub>3</sub> layer which added aluminum, and the buffer layer which consists of three layer of PbTiO(s) of this Pb(Zr, Ti) O<sub>3</sub> layer top face and an inferior surface of tongue by which the laminating was carried out at least on either.

[0010] In this dielectric memory, three layer of said  $\text{PbTiO}_3$  should add aluminum.

[0011] Moreover, said capacitor insulating layer has the presentation of  $\text{Pb}_x(\text{Zr}(1-y)\text{Ti}_y)(1-z)\text{Al}_z$ , and, as for the value of 0.9 thru/or 1.2, and y, it is [ the value of x ] desirable that the values of 0.3 thru/or 0.7, and z are 0.005 thru/or 0.3. In this case, said buffer layer has the presentation of  $\text{Pb}_{1-\alpha}\text{Ti}_{1-\beta}\text{Al}_{\alpha}\text{O}_3$ , and, as for the value of 0.8 thru/or 1.2, and beta, carrying out to 0.15 or less is [ the value of alpha ] desirable.

[0012] Furthermore, it is desirable that the thickness of that the thickness of said capacitor insulating layer is 50 thru/or 500nm and said buffer layer is 0.5 thru/or 30nm again.

[0013] In this invention, since aluminum is included, it becomes small, and leakage current can be made low and, also as for a fatigue-proof property, the diameter of crystal grain can raise it.

[0014]

[Embodiment of the Invention] The result to which the invention-in-this-application person etc. repeated experiment research wholeheartedly that said technical problem should be solved,  $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$  (it is also hereafter called PZT.) It is  $\text{PbTiO}_3$  (it is also hereafter called PTO.) to one of the upper and lower sides of a PZT ferroelectric ingredient which has the presentation which reaches and contains aluminum. By preparing preferably the buffer layer which has the presentation which added aluminum in PTO, it found out that leakage current could be made low and a fatigue-proof property could raise it.

[0015] Hereafter, the example which materialized this invention with reference to the attached drawing is explained.

Drawing 1 (a) thru/or (d) are the sectional views showing the ferroelectric random-access memory concerning this example.

[0016] In this example shown in drawing 1 (a), the layer insulation layer 2 which consists of  $\text{SiO}_2$  film is formed on a silicon substrate 1, and the 1st electric conduction film 3 which consists of Ti film, and the 2nd electric conduction film 4 which consists of Pt film are formed on it. Furthermore, sequential formation of the up electric conduction film 7 which consists of buffer layer 5a and Pt film which consist of capacitor insulating-layer 6b which consist of  $\text{PbZr}_{0.47}\text{Ti}_{0.43}\text{Al}_{0.1}$  on the 2nd electric conduction film 4, and  $\text{PbTiAlO}_3$  is carried out, and ferroelectric random-access memory is constituted.

[0017] In this example shown in drawing 1 (b), the layer insulation layer 2 which consists of  $\text{SiO}_2$  film is formed on a silicon substrate 1, and the 1st electric conduction film 3 which consists of Ti film, and the 2nd electric conduction film 4 which consists of Pt film are formed on it. Furthermore, sequential formation of the up electric conduction film 7 which consists of capacitor insulating-layer 6b and Pt film which consist of buffer layer 5a which consists of  $\text{PbTiAlO}_3$  on the 2nd electric conduction film 4, and  $\text{PbZr}_{0.47}\text{Ti}_{0.43}\text{Al}_{0.1}$  is carried out, and ferroelectric random-access memory is constituted.

[0018] In this example shown in drawing 1 (c), the layer insulation layer 2 which consists of  $\text{SiO}_2$  film is formed on a silicon substrate 1, and the 1st electric conduction film 3 which consists of Ti film, and the 2nd electric conduction film 4 which consists of Pt film are formed on it. Furthermore, sequential formation of the up electric conduction film 7 which consists of buffer layer 5a and Pt film which consist of capacitor insulating-layer 6b which consist of buffer layer 5a which consists of  $\text{PbTiAlO}_3$  on the 2nd electric conduction film 4, and  $\text{PbZr}_{0.47}\text{Ti}_{0.43}\text{Al}_{0.1}$ , and  $\text{PbTiAlO}_3$  is carried out, and ferroelectric random-access memory is constituted.

[0019] In this example shown in drawing 1 (d), the layer insulation layer 2 which consists of  $\text{SiO}_2$  film is formed on a silicon substrate 1, and the 1st electric conduction film 3 which consists of Ti film, and the 2nd electric conduction film 4 which consists of Pt film are formed on it. Furthermore, buffer layer 5b which consists of  $\text{PbTiO}_3$  is formed on the 2nd electric conduction film 4, sequential formation of the up electric conduction film 7 which consists of buffer layer 5b and Pt film which consist of capacitor insulating-layer 6b which consist of  $\text{PbZr}_{0.47}\text{Ti}_{0.43}\text{Al}_{0.1}$ , and  $\text{PbTiO}_3$  is carried out, and ferroelectric random-access memory is constituted.

[0020] In these examples, since the buffer layer which has  $\text{PbTiO}_3$  (henceforth PTO) and the presentation which added aluminum to PTO preferably is prepared in one of the upper and lower sides of the capacitor insulating layer which consists of a PZT ferroelectric ingredient which has the presentation which added aluminum, leakage current can be made low and a fatigue-proof property can raise it.

[0021] Next, an approach to manufacture the ferroelectric random-access memory concerning the example of this invention equipped with the capacitor insulating layer and buffer layer which have the above presentations is explained. Drawing 2 (a) thru/or (d) are the sectional views showing how to manufacture the ferroelectric random-access memory concerning the example of this invention, in order of a process.

[0022] As shown in drawing 2 (a),  $\text{SiO}_2$  film of 450nm of thickness is formed as an interlayer insulation film 2 on 6 inches the front face of a silicon substrate 1 or a front face, and Ti film whose thickness is 20nm, and Pt film whose thickness is 200nm are further formed as the 2nd electric conduction film 4 as the 1st electric conduction film 3 on the

whole surface of an interlayer insulation film 2 by the conventional approach and the same approach. About the concrete formation approach of the capacitor insulating layer 6 and buffer layer 5 which have the above-mentioned presentation, it mentions later.

[0023] In addition, although considered as Pt film whose thickness is 200nm as Ti film whose thickness is 20nm as the 1st electric conduction film 3 of the above-mentioned memory, and the 2nd electric conduction film 4, it is not limited to this and, as for the thickness of Ti film, it is desirable for the thickness of 5 thru/or 50nm, and Pt film to be 50 thru/or 500nm. Preferably, the thickness of Ti film is 5 thru/or 20nm, and the thickness of Pt film is 100 thru/or 300nm.

[0024] Next, the formation approach of the capacitor insulating layer 6 and a buffer layer 5 is explained concretely. Although the capacitor insulating layer 6 and a buffer layer 5 can be formed by various approaches, the formation approach which uses the sol Ringer's injection is shown as the example here.

[0025] First, the formation approach of the capacitor insulating layer 6 is explained. First, after putting 2 lead acetate and 3 hydrate into meta key SHIETA Norian which is a solvent, 2 lead acetate and 3 hydrate is dissolved 30 thru/or by carrying out heating stirring for 60 minutes at 80 degrees C.

[0026] Next, a solution is moved to a reactor and it dehydrates by heating stirring of 12 hours at 124 degrees C.

[0027] Subsequently, after lowering the temperature of the system of reaction to 60 degrees C, a tetra-isopropoxy zirconium, a tetrapod iso proxy tongue, and aluminum EKISAIDO are added to the system of reaction, and heating stirring of 6 hours is performed at 124 degrees C.

[0028] And after stirring termination, a solvent is further added to a solution and the whole quantity is carried out in one mol/l. Thereby, the PZT sol Ringer's injection of the capacitor insulating layer 6 containing aluminum is created. The above-mentioned sol Ringer's injection is used at the time of coating use, carrying out [ 1. ] it in 0.3 mols /.

[0029] In addition, all heating stirring is performed under a nitrogen air current.

[0030] Next, the creation approach of a buffer layer 5 is explained. It only differs from the creation approach of the above-mentioned capacitor insulating layer 6 that the matter added to the system of reaction adds a tetrapod iso proxy tongue and aluminum EKISAIDO, others are the same as that of the creation approach of the capacitor insulating layer 6, and the explanation is omitted.

[0031] By the creation approach of the above-mentioned buffer layer 5, the PTO sol Ringer's injection of the buffer layer 5 containing aluminum is created. At the time of coating use, the above-mentioned PTO sol Ringer's injection is used, carrying out [ 1. ] it in 0.01 mols /.

[0032] Next, it is a room temperature, in addition the methoxy ethanol of the specified quantity is made into the concentration of 0.01 mols/l. at the PTO sol Ringer's injection containing the aluminum created as mentioned above as shown in drawing 2 (b), and spin coating is carried out for 30 seconds at the engine speed of 3000rpm on the 2nd electric conduction film 4. And it prebakes for 10 minutes at 400 degrees C. Thereby, a buffer layer 5 is formed.

[0033] Subsequently, it is a room temperature, in addition the methoxy ethanol of the specified quantity is made into the concentration of 0.3 mols/l. at the PZT sol Ringer's injection containing the aluminum created as mentioned above as shown in drawing 2 (c), and spin coating is carried out for 30 seconds at the engine speed of 3000rpm on a buffer layer 5. And it prebakes for 10 minutes at 400 degrees C. Henceforth, spin coating and prebaking are repeated 4 times.

Thereby, the capacitor insulating layer 6 is formed.

[0034] Subsequently, annealing of 1 hour is performed in the 700-degree C oven of an oxygen ambient atmosphere. Or annealing for 1 minute is performed all over the 700-degree C infrared image furnace (RTA) of an oxygen ambient atmosphere. Thereby, the amorphous-like film crystalizes and the capacitor insulating layer 6 and a buffer layer 5 are formed, respectively. In addition, as mentioned above, the formation approach of the capacitor insulating layer 6 and a buffer layer 5 is not limited to the approach of using the sol Ringer's injection, and can be formed with the sputtering method or a CVD method.

[0035] Furthermore, Pt film is formed 200nm of thickness by sputtering as up electric conduction film 7 on the capacitor insulating layer 6 formed as shown in drawing 2 (d).

[0036] In the above-mentioned formation approach, although 200nm of capacitor insulating layers 6 was formed, as for the thickness of the capacitor insulating layer 6, it is desirable that they are not a limiting-to this thing but 50 thru/or 500nm. Preferably, thickness is 100 thru/or 300nm.

[0037] It may become difficult to obtain the uniform film as the thickness of the capacitor insulating layer 6 is less than 50nm, and leakage current may increase. On the other hand, when the thickness of the capacitor insulating layer 6 exceeds 500nm, an electrical potential difference required for polarization reversal may become high, and driver voltage may be insufficient. Therefore, as for the thickness of a capacitor insulator layer, it is desirable that they are 50 thru/or 500nm.

[0038] In the above-mentioned formation approach, although the buffer layer 5 was formed in 0.5nm of thickness, as for

the thickness of a buffer layer 5, it is desirable that they are not a limiting-to this thing but 0.5 thru/or 30nm. Preferably, thickness is 2 thru/or 20nm.

[0039] Next, other this examples are explained. In other this examples, the example is the same except the 2nd electric conduction film 4 formed on Ti film of the 1st electric conduction film 3 and the up current carrying part 7 being IrO<sub>2</sub> and Ir, and the explanation is omitted.

[0040] In this example, as for the thickness of IrO<sub>2</sub>, it is desirable that they are 10 thru/or 200nm, and it is desirable that they are 20 thru/or 100nm. Moreover, as for the thickness of Ir, it is desirable that they are 50 thru/or 300nm, and it is desirable that they are 100 thru/or 250nm.

[0041] Moreover, as up electric conduction film 7 of this example, Ir and Ir, and the thing in which IrO<sub>2</sub> was formed on it may be used.

[0042] Also in which example, although considered as the configuration which forms a buffer layer 5 in the lower part of the capacitor insulating layer 6, it is not limited to this, you may make it the configuration which forms a buffer layer 5 in the upper part of the capacitor insulating layer 6, and it is still better also as a configuration which forms a buffer layer 5 in the vertical section of the capacitor insulating layer 5.

[0043]

[Example] Hereafter, the ferroelectric of the example of a comparison shown in the ferroelectric of the structure of the example shown in drawing 1 (a) thru/or (d) and drawing 3 (a) thru/or (d) is created, both are compared, and the example of this invention is explained concretely.

[0044] Drawing 1 (a) forms SiO<sub>2</sub> film of 500nm of thickness, and forms Pt film of 200nm of thickness as the 1st electric conduction film 3 on it as an interlayer insulation film 2 on a silicon substrate 1 as Ti film of 15nm of thickness, and the 2nd electric conduction film 4. Capacitor insulating-layer 6a of a presentation of PbZr<sub>0.47</sub>Ti<sub>0.43</sub>aluminum<sub>0.1</sub> whose thickness is 200nm was formed on the 2nd electric conduction film 4, on it, as buffer layer 5a, PbTiAlO<sub>3</sub> of 5nm of thickness was formed, and Pt film of 200nm of thickness was formed as up electric conduction film 7 on buffer layer 5a.

[0045] Drawing 1 (b) forms SiO<sub>2</sub> film of 500nm of thickness, and forms Pt film of 200nm of thickness as the 1st electric conduction film 3 on it as an interlayer insulation film 2 on a silicon substrate 1 as Ti film of 15nm of thickness, and the 2nd electric conduction film 4. On the 2nd electric conduction film 4, as buffer layer 5a, PbTiAlO<sub>3</sub> of 5nm of thickness was formed, capacitor insulating-layer 6a of a presentation of PbZr<sub>0.47</sub>Ti<sub>0.43</sub>aluminum<sub>0.1</sub> of 200nm of thickness on buffer layer 5a was formed, and Pt film of 200nm of thickness was formed as up electric conduction film 7 on capacitor insulating-layer 6a.

[0046] Drawing 1 (c) forms SiO<sub>2</sub> film of 500nm of thickness, and forms Pt film of 200nm of thickness as the 1st electric conduction film 3 on it as an interlayer insulation film 2 on a silicon substrate 1 as Ti film of 15nm of thickness, and the 2nd electric conduction film 4. On the 2nd electric conduction film 4, as buffer layer 5a, PbTiAlO<sub>3</sub> of 5nm of thickness was formed, capacitor insulating-layer 6a of a presentation of PbZr<sub>0.47</sub>Ti<sub>0.43</sub>aluminum<sub>0.1</sub> of 200nm of thickness on buffer layer 5a was formed, as buffer layer 5a, PbTiAlO<sub>3</sub> of 5nm of thickness was formed, and Pt film of 200nm of thickness was formed as up electric conduction film 7 on it at the buffer layer 5a top.

[0047] Drawing 1 (d) forms SiO<sub>2</sub> film of 500nm of thickness, and forms Pt film of 200nm of thickness as the 1st electric conduction film 3 on it as an interlayer insulation film 2 on a silicon substrate 1 as Ti film of 15nm of thickness, and the 2nd electric conduction film 4. PbTiO<sub>3</sub> of 5nm of thickness is formed as buffer layer 5a on the 2nd electric conduction film 4. Capacitor insulating-layer 6a of a presentation of PbZr<sub>0.47</sub>Ti<sub>0.43</sub>aluminum<sub>0.1</sub> of 200nm of thickness is formed on buffer layer 5b, and that of 200nm of thickness is formed on a capacitor electrode. On it as buffer layer 5a PbTiO<sub>3</sub> of 5nm of thickness was formed, and Pt film of 200nm of thickness was formed as up electric conduction film 7 on buffer layer 5b.

[0048] Drawing 3 (a) forms SiO<sub>2</sub> film of 500nm of thickness, and forms Pt film of 200nm of thickness as the 1st electric conduction film 3 on it as an interlayer insulation film 2 on a silicon substrate 1 as Ti film of 15nm of thickness, and the 2nd electric conduction film 4. Capacitor insulating-layer 6a of a presentation of PbZr<sub>0.47</sub>Ti<sub>0.43</sub>aluminum<sub>0.1</sub> of 200nm of thickness was formed on the 2nd electric conduction film 4, and Pt film of 200nm of thickness was formed as up electric conduction film 7 on it.

[0049] Drawing 3 (b) forms SiO<sub>2</sub> film of 500nm of thickness, and forms Pt film of 200nm of thickness as the 1st electric conduction film 3 on it as an interlayer insulation film 2 on a silicon substrate 1 as Ti film of 15nm of thickness, and the 2nd electric conduction film 4. Capacitor insulating-layer 6b of PbZr<sub>0.52</sub>Ti<sub>0.48</sub> of 200nm of thickness was formed on the 2nd electric conduction film 4, and Pt film of 200nm of thickness was formed as up electric conduction film 7 on capacitor insulating-layer 6b.

[0050] Drawing 3 (c) forms SiO<sub>2</sub> film of 500nm of thickness, and forms Pt film of 200nm of thickness as the 1st

electric conduction film 3 on it as an interlayer insulation film 2 on a silicon substrate 1 as Ti film of 15nm of thickness, and the 2nd electric conduction film 4. On the 2nd electric conduction film 4, as buffer layer 5a, PbTiAlO<sub>3</sub> of 5nm of thickness was formed, capacitor insulating-layer 6b of PbZr<sub>0.52</sub>Ti<sub>0.48</sub> of 200nm of thickness was formed on buffer layer 5a, as buffer layer 5a, PbTiAlO<sub>3</sub> of 5nm of thickness was formed, and Pt film of 200nm of thickness was formed as up electric conduction film 7 on it at the buffer layer 5a top.

[0051] Drawing 3 (d) forms SiO<sub>2</sub> film of 500nm of thickness, and forms Pt film of 200nm of thickness as the 1st electric conduction film 3 on it as an interlayer insulation film 2 on a silicon substrate 1 as Ti film of 15nm of thickness, and the 2nd electric conduction film 4. On the 2nd electric conduction film 4, as buffer layer 5b, PbTiO<sub>3</sub> of 5nm of thickness was formed, capacitor insulating-layer 6b of PbZr<sub>0.52</sub>Ti<sub>0.48</sub> presentation of 200nm of thickness was formed on buffer layer 5b, as buffer layer 5b, PbTiO<sub>3</sub> of 5nm of thickness was formed, and Pt film of 200nm of thickness was formed as up electric conduction film 7 on it at the buffer layer 5b top.

[0052] The example 1 thru/or example 4 acquired by carrying out annealing treatment of the 1st example above-mentioned example (a) thru/or (d) and the example of a comparison (a) thru/or the (d) for 1 minute all over the 700-degree C infrared image furnace (RTA) of an oxygen ambient atmosphere, the example 10 of a comparison or the remanence value Pr of 13, leakage current, and a fatigue-proof property were measured. The electrical potential difference of \*\*5V was impressed in measurement of the remanence value Pr. In measurement of leakage current, the leakage current when impressing the electrical potential difference of 5V was measured. In measurement of a fatigue-proof property, when the electrical potential difference of \*\*5V was impressed on the frequency of 25kHz, the number C of cycles when the remanence value Pr over initial value Pr 0 becomes half [ of initial value Pr 0 ] was measured. The result is shown in Table 1.

[0053]

[Table 1]

	実施例 1	実施例 2	実施例 3	実施例 4	比較例 1 0	比較例 1 1	比較例 1 2	比較例 1 3
2 P r	3 1	3 0	2 9	3 0	3 2	3 3	2 8	2 8
リーク電流	0.09	0.08	0.07	0.08	3.5	3.6	0.1	0.1
サイクル数 C	9	9	9	8. 5	9	6	6	6

[0054] Leakage current is high although the example 10 of a comparison using PbZr<sub>0.47</sub>Ti<sub>0.43</sub>aluminum0.1 as a capacitor insulating layer is good about the remanence value Pr and a fatigue-proof property. It is only an example 1 thru/or 4 that the result with good remanence value Pr, leakage current, and fatigue-proof property is obtained.

[0055]

[Effect of the Invention] As explained in full detail above, according to this invention, by preparing a buffer layer for having the presentation which added PbTiO<sub>3</sub> to one of the upper and lower sides, and added aluminum to PTO at least at the capacitor insulating layer which has the presentation of Pb<sub>x</sub>(Zr(1-y) Ti<sub>y</sub>) (1-Z) Al<sub>2</sub>Z, leakage current can be made low and a fatigue property can also raise it.

[Translation done.]



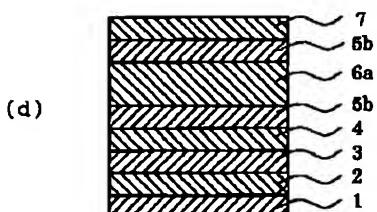
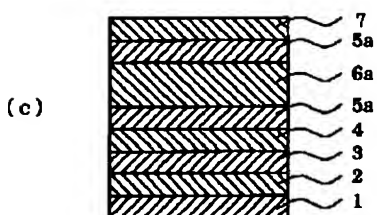
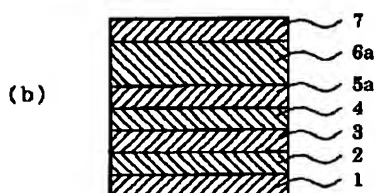
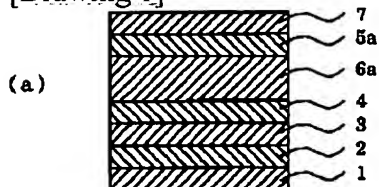
## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

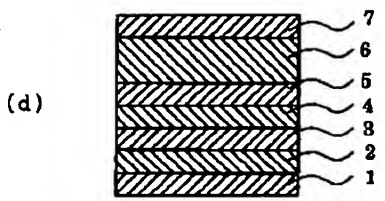
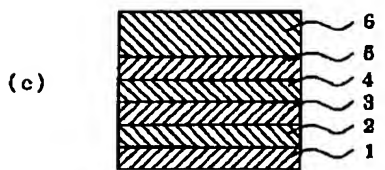
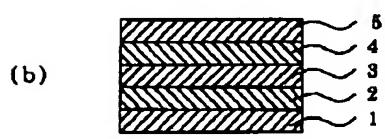
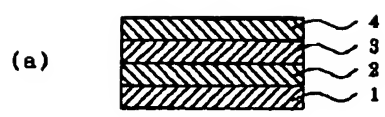
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

## DRAWINGS

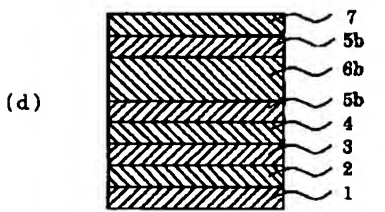
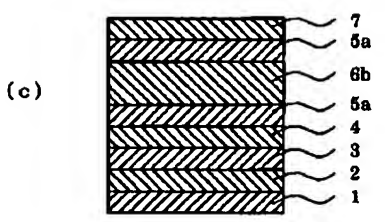
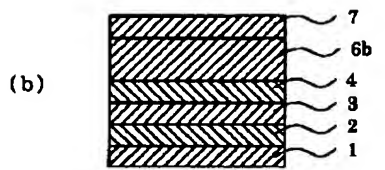
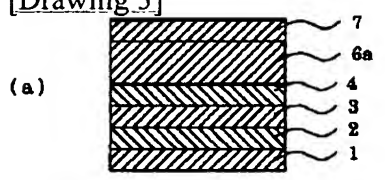
[Drawing 1]



[Drawing 2]



[Drawing 3]



. .  
[Translation done.]

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-114484

(P2000-114484A)

(43) 公開日 平成12年4月21日 (2000. 4. 21)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	メモト (参考)
H 0 1 L 27/108		H 0 1 L 27/10	6 5 1 4 G 0 3 1
21/8242		H 0 1 B 3/12	3 0 1 5 F 0 0 1
C 0 4 B 35/49		H 0 1 L 27/10	4 5 1 5 F 0 3 8
H 0 1 B 3/12	3 0 1	C 0 4 B 35/49	Z 5 F 0 8 3
H 0 1 L 27/04		H 0 1 L 27/04	C 5 G 3 0 3
審査請求 未請求 請求項の数 6 O L (全 7 頁) 最終頁に続く			

(21) 出願番号 特願平10-284566

(22) 出願日 平成10年10月6日 (1998. 10. 6)

(71) 出願人 000004075

ヤマハ株式会社

静岡県浜松市中沢町10番1号

(74) 上記1名の代理人 100090158

弁理士 藤巻 正憲

(71) 出願人 000001144

工業技術院長

東京都千代田区霞が関1丁目3番1号

(74) 上記1名の復代理人 100090158

弁理士 藤巻 正憲 (外1名)

(72) 発明者 樋山 邦夫

静岡県浜松市中沢町10番1号 ヤマハ株式会社内

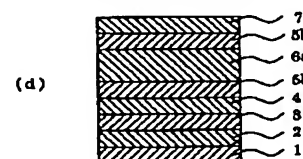
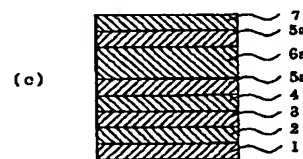
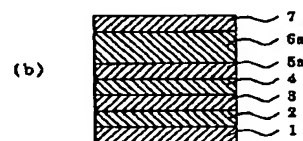
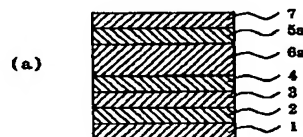
最終頁に続く

(54) 【発明の名称】 強誘電体メモリ

(57) 【要約】

【課題】 リーク電流を低くすると共に、耐疲労特性を向上させることができる強誘電体メモリを提供する。

【解決手段】 Alを添加したPb (Zr、Ti) O<sub>3</sub>層からなるキャパシタ絶縁層6と、このPb (Zr、Ti) O<sub>3</sub>層の上面及び下面の少なくともいずれか一方の上に積層されたPbTiO<sub>3</sub>層からなるバッファ層5とを有する。



## 【特許請求の範囲】

【請求項 1】  $Al$  を添加した  $Pb(Zr, Ti)O_3$  層からなるキャパシタ絶縁層と、この  $Pb(Zr, Ti)O_3$  層の上面及び下面の少なくともいずれか一方の上に積層された  $PbTiO_3$  層からなるバッファ層とを有することを特徴とする強誘電体メモリ。

【請求項 2】 前記  $PbTiO_3$  層は、 $Al$  を添加したものであることを特徴とする請求項 1 に記載の強誘電体メモリ。

【請求項 3】 前記キャパシタ絶縁層は、 $Pbx(Zr_{(1-y)}Ti_y)_{(1-z)}Al_z$  の組成を有し、 $x$  の値は 0.9 乃至 1.2、 $y$  の値は 0.3 乃至 0.7、 $z$  の値は 0.005 乃至 0.3 であることを特徴とする請求項 1 又は 2 に記載の強誘電体メモリ。

【請求項 4】 前記バッファ層は、 $PbaTi_{(1-\beta)}Al_{\beta}O_3$  の組成を有し、 $\alpha$  の値は 0.8 乃至 1.2、 $\beta$  の値は 0.15 以下であることを特徴とする請求項 1 又は 2 に記載の強誘電体メモリ。

【請求項 5】 前記キャパシタ絶縁層の膜厚が 50 乃至 500 nm であることを特徴とする 1 乃至 4 のいずれか 1 項に記載の強誘電体メモリ。

【請求項 6】 バッファ層の膜厚が 0.5 乃至 30 nm であることを特徴とする 1 乃至 5 のいずれか 1 項に記載の強誘電体メモリ。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は不揮発性半導体装置に好適な強誘電体メモリに関し、特に、リーク電流が低く疲労特性が向上した強誘電体メモリに関する。

## 【0002】

【従来の技術】 従来、強誘電体メモリ (FeRAM (Ferroelectric Random Access Memory)) 中に強誘電体膜に使用される強誘電体材料として鉛系酸化物強誘電体材料及びビスマス層状構造強誘電体材料が使用されている。前者の鉛系酸化物強誘電体材料の例としては、ペロスカイト型結晶構造を有する PZT ( $Pb(Zr, Ti)O_3$ ) 系強誘電体材料が挙げられる。この PZT 系強誘電体材料は、自発分極は大きい疲労特性が低いという性質を有する。また、PZT 系強誘電体材料に  $La$ 、 $Nb$  又は  $Bi$  等の陽イオンを添加すると、自発分極及び比誘電率が変化すると共に、リーク電流が低減されるという効果が得られることが公知である。一方、後者のビスマス層状構造強誘電体材料の例としては、SBT ( $SrBi_2Ta_2O_9$ ) が挙げられる。SBT は、疲労特性は良好であるが自発分極は小さいという性質を有する。

【0003】 強誘電体材料の疲労特性は、分極反転を多数繰り返したときの自発分極の劣化を示すものである。

【0004】 近時、PZT 系強誘電体材料からなる絶縁膜をキャパシタ絶縁膜として使用したときのキャパシタ

電極の改良により疲労を軽減する方法が検討されている。一般的にキャパシタ電極には Pt 電極又は Ti 電極等が使用されるが、 $RuO_2$  電極及び  $IrO_2$  電極が PZT 系強誘電体膜の疲労特性を改善することができるという点で注目されている。

【0005】 また、PZT 系強誘電体材料からなる絶縁膜をキャパシタ絶縁膜として使用したときのキャパシタ絶縁膜の改良により疲労を軽減する方法が検討されている。例えば、PZT 系強誘電体材料に  $Li$  を添加して PZT 系強誘電体膜の疲労特性を改善したものが提案されている。

【0006】 更には、PZT 系強誘電体材料からなる絶縁膜をキャパシタ絶縁膜として使用したときにキャパシタ電極とキャパシタ絶縁膜の間にバッファ層を設けることによりリーク電流を小さくすると共に、耐疲労特性を改善する方法が検討されている。例えば、バッファ層として  $PbTiO_3$  又は  $(Ba, Sr)TiO_3$  等が用いられており、リーク電流の発生及び耐疲労特性が改善されている。

## 【0007】

【発明が解決しようとする課題】 しかしながら、前述の強誘電体メモリでは、粒界からのリーク電流が大きく、疲労特性を著しく向上させることができないという問題点がある。

【0008】 本発明はかかる問題点に鑑みてなされたものであって、リーク電流を低くすると共に、耐疲労特性を向上させることができる強誘電体メモリを提供することを目的とする。

## 【0009】

【課題を解決するための手段】 本発明に係る強誘電体メモリは、 $Al$  を添加した  $Pb(Zr, Ti)O_3$  層からなるキャパシタ絶縁層と、この  $Pb(Zr, Ti)O_3$  層の上面及び下面の少なくともいずれか一方の上に積層された  $PbTiO_3$  層からなるバッファ層とを有することを特徴とする。

【0010】 この誘電体メモリにおいて、前記  $PbTiO_3$  層は、 $Al$  を添加したものとすることができる。

【0011】 また、前記キャパシタ絶縁層は、 $Pbx(Zr_{(1-y)}Ti_y)_{(1-z)}Al_z$  の組成を有し、 $x$  の値は 0.9 乃至 1.2、 $y$  の値は 0.3 乃至 0.7、 $z$  の値は 0.005 乃至 0.3 であることが好ましい。この場合に、前記バッファ層は、 $PbaTi_{(1-\beta)}Al_{\beta}O_3$  の組成を有し、 $\alpha$  の値は 0.8 乃至 1.2、 $\beta$  の値は 0.15 以下とすることが好ましい。

【0012】 更にまた、前記キャパシタ絶縁層の膜厚が 50 乃至 500 nm であること及び前記バッファ層の膜厚が 0.5 乃至 30 nm であることが好ましい。

【0013】 本発明においては、 $Al$  を含んでいるので、結晶粒径が小さくなりリーク電流を低くでき、耐疲労特性も向上させることができる。

## 【0014】

【発明の実施の形態】本願発明者等が前記課題を解決すべく、鋭意実験研究を重ねた結果、Pb(Zr、Ti)O<sub>3</sub>（以下、PZTとも言う。）及びAlを含有する組成を有するPZT強誘電体材料の上下いずれか一方にPbTiO<sub>3</sub>（以下、PTOとも言う。）を、好ましくはPTOにAlを添加した組成を有するバッファ層を設けることにより、リーク電流を低くでき、耐疲労特性が向上させることができることを見出した。

【0015】以下、添付の図面を参照して本発明を具体化した実施例について説明する。図1（a）乃至（d）は、本実施例に係る強誘電体メモリを示す断面図である。

【0016】図1（a）に示す本実施例においては、シリコン基板1上にSiO<sub>2</sub>膜からなる層間絶縁層2が設けられ、その上にTi膜からなる第1導電膜3、Pt膜からなる第2導電膜4が形成されている。更に、第2導電膜4の上に、PbZr<sub>0.47</sub>Ti<sub>0.43</sub>Al<sub>0.1</sub>からなるキャパシタ絶縁層6b、PbTiAlO<sub>3</sub>からなるバッファ層5a及びPt膜からなる上部導電膜7が順次形成されて強誘電体メモリは構成されている。

【0017】図1（b）に示す本実施例においては、シリコン基板1上にSiO<sub>2</sub>膜からなる層間絶縁層2が設けられ、その上にTi膜からなる第1導電膜3、Pt膜からなる第2導電膜4が形成されている。更に、第2導電膜4の上に、PbTiAlO<sub>3</sub>からなるバッファ層5a、PbZr<sub>0.47</sub>Ti<sub>0.43</sub>Al<sub>0.1</sub>からなるキャパシタ絶縁層6b及びPt膜からなる上部導電膜7が順次形成されて強誘電体メモリは構成されている。

【0018】図1（c）に示す本実施例においては、シリコン基板1上にSiO<sub>2</sub>膜からなる層間絶縁層2が設けられ、その上にTi膜からなる第1導電膜3、Pt膜からなる第2導電膜4が形成されている。更に、第2導電膜4の上に、PbTiAlO<sub>3</sub>からなるバッファ層5a、PbZr<sub>0.47</sub>Ti<sub>0.43</sub>Al<sub>0.1</sub>からなるキャパシタ絶縁層6b、PbTiAlO<sub>3</sub>からなるバッファ層5a及びPt膜からなる上部導電膜7が順次形成されて強誘電体メモリは構成されている。

【0019】図1（d）に示す本実施例においては、シリコン基板1上にSiO<sub>2</sub>膜からなる層間絶縁層2が設けられ、その上にTi膜からなる第1導電膜3、Pt膜からなる第2導電膜4が形成されている。更に、第2導電膜4の上に、PbTiO<sub>3</sub>からなるバッファ層5bが形成され、PbZr<sub>0.47</sub>Ti<sub>0.43</sub>Al<sub>0.1</sub>からなるキャパシタ絶縁層6b、PbTiO<sub>3</sub>からなるバッファ層5b及びPt膜からなる上部導電膜7が順次形成されて強誘電体メモリは構成されている。

【0020】これらの実施例においては、Alを添加した組成を有するPZT強誘電体材料からなるキャパシタ絶縁層の上下いずれか一方にPbTiO<sub>3</sub>（以下、PT

Oとも言う。）を、好ましくはPTOにAlを添加した組成を有するバッファ層を設けているので、リーク電流を低くでき、耐疲労特性が向上させることができる。

【0021】次に、上述のような組成を有するキャパシタ絶縁層及びバッファ層を備えた本発明の実施例に係る強誘電体メモリの製造する方法について説明する。図2（a）乃至（d）は本発明の実施例に係る強誘電体メモリを製造する方法を工程順に示す断面図である。

【0022】図2（a）に示すように、従来の方法と同様の方法により、例えば、6インチのシリコン基板1の表面又は表面上に膜厚450nmのSiO<sub>2</sub>膜を層間絶縁膜2として形成し、層間絶縁膜2の全面上に第1導電膜3として、膜厚が20nmのTi膜、更に、第2導電膜4として膜厚が200nmのPt膜を形成する。前述の組成を有するキャパシタ絶縁層6及びバッファ層5の具体的な形成方法については後述する。

【0023】なお、上記のメモリの第1導電膜3として膜厚が20nmのTi膜、第2導電膜4として膜厚が200nmのPt膜としたが、これに限定されるものではなく、Ti膜の膜厚は5乃至50nm、Pt膜の膜厚は50乃至500nmであることが望ましい。好ましくは、Ti膜の膜厚は5乃至20nmであり、Pt膜の膜厚は100乃至300nmである。

【0024】次に、キャパシタ絶縁層6及びバッファ層5の形成方法について具体的に説明する。キャパシタ絶縁層6及びバッファ層5は種々の方法により形成することが可能であるが、ここではその一例として、ゾルゲル液を使用する形成方法を示す。

【0025】はじめに、キャパシタ絶縁層6の形成方法について説明する。まず、2酢酸鉛・3水和物を溶媒であるメタキシエタノールに入れた後、80℃で30乃至60分間加熱攪拌することにより、2酢酸鉛・3水和物を溶解させる。

【0026】次に、溶液を反応器に移し、124℃で12時間の加熱攪拌により脱水を行う。

【0027】次いで、反応系の温度を60℃まで降温した後、テトライソプロポキシジルコニウムとテトライソプロキサン及びアルミニウムエキサイドを反応系に加え、124℃で6時間の加熱攪拌を行う。

【0028】そして、攪拌終了後に溶液に溶媒を更に加えて全量を1モル／リットルとする。これにより、アルミニウムを含有するキャパシタ絶縁層6のPZTゾルゲル液が作成される。コーティング使用時には上記ゾルゲル液を0.3モル／リットルにして使用する。

【0029】なお、全ての加熱攪拌は窒素気流下で行われる。

【0030】次に、バッファ層5の作成方法について説明する。上述のキャパシタ絶縁層6の作成方法とは、反応系に加える物質がテトライソプロキサンとアルミニウムエキサイドを加えることが異なるだけで、その他は

キャパシタ絶縁層6の作成方法と同一であり、その説明は省略する。

【0031】上述のバッファ層5の作成方法により、アルミニウムを含有するバッファ層5のPTOゾルゲル液が作成される。コーティング使用時には上記PTOゾルゲル液を0.01モル/リットルにして使用する。

【0032】次に、図2(b)に示すように上述のように作成されたアルミニウムを含むPTOゾルゲル液に所定量のメトキシエタノールを室温で加えて、0.01モル/リットルの濃度にして第2導電膜4の上に3000rpmの回転数で30秒間スピコーティングする。そして、400℃で10分間プリベークする。これによりバッファ層5が形成される。

【0033】次いで、図2(c)に示すように上述のように作成されたアルミニウムを含むPZTゾルゲル液に所定量のメトキシエタノールを室温で加えて、0.3モル/リットルの濃度にしてバッファ層5の上に3000rpmの回転数で30秒間スピコーティングする。そして、400℃で10分間プリベークする。以降、スピコーティング及びプリベークを4回繰り返す。これによりキャパシタ絶縁層6が形成される。

【0034】次いで、酸素雰囲気中の700℃のオープン中で1時間のアニールを行う。又は、酸素雰囲気中の700℃の赤外線イメージ炉(RTA)中で1分間のアニールを行う。これにより、アモルファス状の膜が結晶化し、それぞれキャパシタ絶縁層6、バッファ層5が形成される。なお、上述のようにキャパシタ絶縁層6、バッファ層5の形成方法はゾルゲル液を使用する方法に限定されるものではなく、スパッタリング法又はCVD法等によっても形成可能である。

【0035】更に、図2(d)に示すように形成されたキャパシタ絶縁層6の上に上部導電膜7としてPt膜をスパッタリングにより膜厚200nm形成する。

【0036】上述の形成方法においては、キャパシタ絶縁層6を200nm形成したが、キャパシタ絶縁層6の膜厚はこれに限定されるものではなく、50乃至500nmであることが望ましい。好ましくは、膜厚は100乃至300nmである。

【0037】キャパシタ絶縁層6の膜厚が50nm未満であると、均一な膜を得ることが困難となり、リーク電流が増大することがある。一方、キャパシタ絶縁層6の膜厚が500nmを超えると、分極反転に必要な電圧が高くなり、駆動電圧が不足することがある。従って、キャパシタ絶縁膜の膜厚は50乃至500nmであることが望ましい。

【0038】上述の形成方法において、バッファ層5を膜厚0.5nmに形成したが、バッファ層5の膜厚はこれに限定されるものではなく、0.5乃至30nmであることが望ましい。好ましくは、膜厚は2乃至20nmである。

【0039】次に、他の本実施例について説明する。他の本実施例においては、実施例とは、第1導電膜3のTi膜の上に形成される第2導電膜4と上部導電部7がIrO<sub>2</sub>及びIrであること以外は、同一であり、その説明は省略する。

【0040】本実施例において、IrO<sub>2</sub>の膜厚は10乃至200nmであることが望ましく、20乃至100nmであることが好ましい。また、Irの膜厚は50乃至300nmであることが望ましく、100乃至250nmであることが好ましい。

【0041】また、本実施例の上部導電膜7としては、Ir及びIrとその上にIrO<sub>2</sub>を形成したものでもよい。

【0042】いずれの実施例においても、バッファ層5をキャパシタ絶縁層6の下部に設ける構成としたが、これに限定されるものではなく、バッファ層5をキャパシタ絶縁層6の上部に設ける構成にしてもよく、更には、キャパシタ絶縁層5の上下部にバッファ層5を設ける構成としてもよい。

【0043】

【実施例】以下、本発明の実施例について、図1(a)乃至(d)に示す実施例の構造の強誘電体及び図3(a)乃至(d)に示す比較例の強誘電体を作成し、両者を比較して具体的に説明する。

【0044】図1(a)は、シリコン基板1上に層間絶縁膜2として、膜厚500nmのSiO<sub>2</sub>膜を形成し、その上に第1導電膜3として膜厚15nmのTi膜、第2導電膜4として膜厚200nmのPt膜を形成する。第2導電膜4の上に膜厚が200nmのPbZr<sub>0.47</sub>Ti<sub>0.43</sub>Al<sub>0.1</sub>の組成のキャパシタ絶縁層6aを形成し、その上にバッファ層5aとして、膜厚5nmのPbTiAlO<sub>3</sub>を形成し、バッファ層5aの上に上部導電膜7として膜厚200nmのPt膜を形成した。

【0045】図1(b)は、シリコン基板1上に層間絶縁膜2として、膜厚500nmのSiO<sub>2</sub>膜を形成し、その上に第1導電膜3として膜厚15nmのTi膜、第2導電膜4として膜厚200nmのPt膜を形成する。第2導電膜4の上にバッファ層5aとして、膜厚5nmのPbTiAlO<sub>3</sub>を形成し、バッファ層5aの上に膜厚200nmのPbZr<sub>0.47</sub>Ti<sub>0.43</sub>Al<sub>0.1</sub>の組成のキャパシタ絶縁層6aを形成し、キャパシタ絶縁層6aの上に上部導電膜7として膜厚200nmのPt膜を形成した。

【0046】図1(c)は、シリコン基板1上に層間絶縁膜2として、膜厚500nmのSiO<sub>2</sub>膜を形成し、その上に第1導電膜3として膜厚15nmのTi膜、第2導電膜4として膜厚200nmのPt膜を形成する。第2導電膜4の上にバッファ層5aとして、膜厚5nmのPbTiAlO<sub>3</sub>を形成し、バッファ層5aの上に膜厚200nmのPbZr<sub>0.47</sub>Ti<sub>0.43</sub>Al<sub>0.1</sub>の組成の

キャパシタ絶縁層6aを形成し、その上にバッファ層5aとして、膜厚5nmの $PbTiAlO_3$ を形成し、バッファ層5aの上に上部導電膜7として膜厚200nmのPt膜を形成した。

【0047】図1(d)は、シリコン基板1上に層間絶縁膜2として、膜厚500nmの $SiO_2$ 膜を形成し、その上に第1導電膜3として膜厚15nmのTi膜、第2導電膜4として膜厚200nmのPt膜を形成する。第2導電膜4の上にバッファ層5aとして、膜厚5nmの $PbTiO_3$ を形成し、バッファ層5bの上に膜厚200nmの $PbZr_{0.47}Ti_{0.43}Al_{0.1}$ の組成のキャパシタ絶縁層6aを形成し、キャパシタ電極の上に膜厚200nmのを形成し、その上にバッファ層5aとして、膜厚5nmの $PbTiO_3$ を形成し、バッファ層5bの上に上部導電膜7として膜厚200nmのPt膜を形成した。

【0048】図3(a)は、シリコン基板1上に層間絶縁膜2として、膜厚500nmの $SiO_2$ 膜を形成し、その上に第1導電膜3として膜厚15nmのTi膜、第2導電膜4として膜厚200nmのPt膜を形成する。第2導電膜4の上に膜厚200nmの $PbZr_{0.47}Ti_{0.43}Al_{0.1}$ の組成のキャパシタ絶縁層6aを形成し、その上に上部導電膜7として膜厚200nmのPt膜を形成した。

【0049】図3(b)は、シリコン基板1上に層間絶縁膜2として、膜厚500nmの $SiO_2$ 膜を形成し、その上に第1導電膜3として膜厚15nmのTi膜、第2導電膜4として膜厚200nmのPt膜を形成する。第2導電膜4の上に膜厚200nmの $PbZr_{0.52}Ti_{0.48}$ のキャパシタ絶縁層6bを形成し、キャパシタ絶縁層6bの上に上部導電膜7として膜厚200nmのPt膜を形成した。

【0050】図3(c)は、シリコン基板1上に層間絶縁膜2として、膜厚500nmの $SiO_2$ 膜を形成し、その上に第1導電膜3として膜厚15nmのTi膜、第

2導電膜4として膜厚200nmのPt膜を形成する。第2導電膜4の上にバッファ層5aとして、膜厚5nmの $PbTiAlO_3$ を形成し、バッファ層5aの上に膜厚200nmの $PbZr_{0.52}Ti_{0.48}$ のキャパシタ絶縁層6bを形成し、その上にバッファ層5aとして、膜厚5nmの $PbTiAlO_3$ を形成し、バッファ層5aの上に上部導電膜7として膜厚200nmのPt膜を形成した。

【0051】図3(d)は、シリコン基板1上に層間絶縁膜2として、膜厚500nmの $SiO_2$ 膜を形成し、その上に第1導電膜3として膜厚15nmのTi膜、第2導電膜4として膜厚200nmのPt膜を形成する。第2導電膜4の上にバッファ層5bとして、膜厚5nmの $PbTiO_3$ を形成し、バッファ層5bの上に膜厚200nmの $PbZr_{0.52}Ti_{0.48}$ 組成のキャパシタ絶縁層6bを形成し、その上にバッファ層5bとして、膜厚5nmの $PbTiO_3$ を形成し、バッファ層5bの上に上部導電膜7として膜厚200nmのPt膜を形成した。

#### 【0052】第1実施例

上述の実施例(a)乃至(d)及び比較例(a)乃至(d)を酸素雰囲気中の700℃の赤外線イメージ炉(RTA)中で1分間のアニール処理して得られた実施例1乃至実施例4と比較例10乃至13の残留分極値 $P_r$ 、リーク電流、耐疲労特性を測定した。残留分極値 $P_r$ の測定においては、±5Vの電圧を印加した。リーク電流の測定においては、5Vの電圧を印加したときのリーク電流を測定した。耐疲労特性の測定においては、±5Vの電圧を25kHzの周波数で印加したとき、初期値 $P_{r0}$ に対する残留分極値 $P_r$ が初期値 $P_{r0}$ の半分になったときのサイクル数Cを測定した。その結果を表1に示す。

#### 【0053】

【表1】

	実施例	実施例	実施例	実施例	比較例	比較例	比較例	比較例
	1	2	3	4	10	11	12	13
2 $P_r$	31	30	29	30	32	33	28	28
リーク電流	0.09	0.08	0.07	0.08	3.5	3.6	0.1	0.1
サイクル数C	9	9	9	8.5	9	6	6	6

【0054】キャパシタ絶縁層として $PbZr_{0.47}Ti_{0.43}Al_{0.1}$ を用いた比較例10は残留分極値 $P_r$ 、耐疲労特性に関しては良好であるが、リーク電流が高い。残留分極値 $P_r$ 、リーク電流、耐疲労特性ともに良好な結果が得られているのは、実施例1乃至4だけである。

#### 【0055】

【発明の効果】以上詳述したように、本発明によれば、 $Pb_x(Zr_{(1-y)}Ti_y)_{(1-z)}Al_z$ の組成を有するキ

ャパシタ絶縁層に少なくとも上下いずれか一方に $PbTiO_3$ 、あるいはPTOにAlを添加した組成を有するにバッファ層を設けることにより、リーク電流を低くでき、疲労特性も向上させることができる。

#### 【図面の簡単な説明】

【図1】(a)乃至(d)は、実施例の強誘電体メモリ断面図である。

【図2】(a)乃至(d)は本発明の実施例に係る強誘



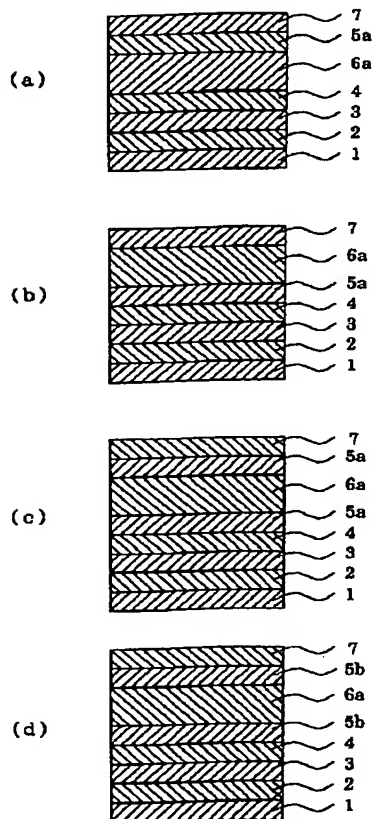
電体メモリを製造する方法を工程順に示す断面図である。

【図 3】 (a) 乃至 (d) は、比較例の強誘電体メモリの断面図である。

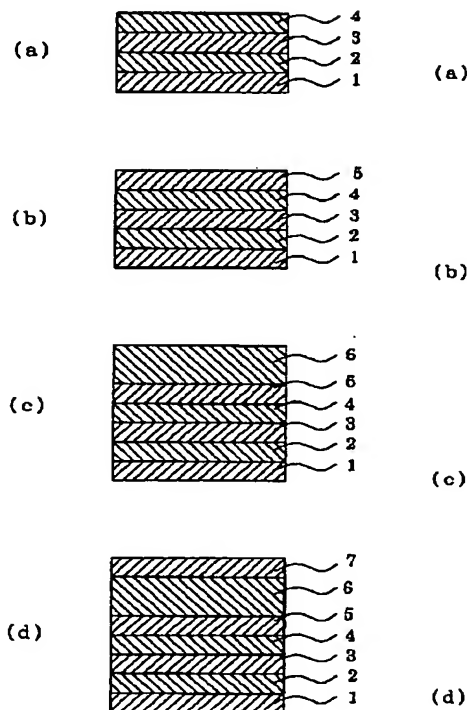
【符号の説明】

1 ; シリコン基板、 2 ; 層間絶縁層、 3 ; 第 1 導電膜、 4 ; 第 2 導電膜、 5、5 a、5 b ; パツファ層、 6、6 a、6 b ; キャパシタ絶縁層、 7 ; 上部導電膜

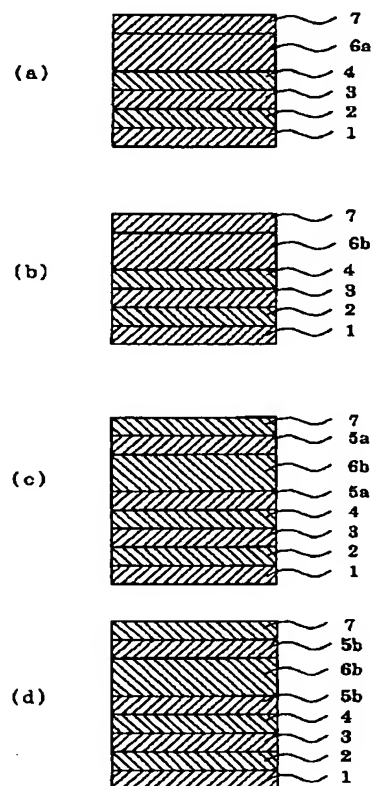
【図 1】



【図 2】



【図 3】



フロントページの続き

(51)Int.Cl.<sup>7</sup>

H01L 21/822  
27/10  
21/8247  
29/788  
29/792

識別記号

451

F I

H01L 29/78

テーマコード\* (参考)

371

(72)発明者 坪井 秀樹

静岡県浜松市中沢町10番1号 ヤマハ株式会社内

(72)発明者 岡田 升宏

静岡県浜松市中沢町10番1号 ヤマハ株式会社内

(72)発明者 真田 徳雄

宮城県宮城郡七ヶ浜町汐見台五丁目1-19

(72)発明者 飯島 高志

宮城県仙台市宮城野区東仙台四丁目17-3  
-501

F ターム(参考) 4G031 AA11 AA12 AA29 AA32 BA09  
CA03 CA08  
5F001 AA17 AE50 AF07 AF25  
5F038 AC15 DF05 EZ01  
5F083 FRO1 GA06 GA21 JA15 JA17  
JA36 JA38 JA39 JA42 JA45  
5G303 AA10 AB20 BA03 BA06 CA01  
CB01 CB25 CB35 CB39